

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-123420
 (43)Date of publication of application : 17.05.1996

(51)Int.CI.

G10H 7/02

(21)Application number : 06-278573

(71)Applicant : KAWAI MUSICAL INSTR MFG CO LTD

(22)Date of filing : 19.10.1994

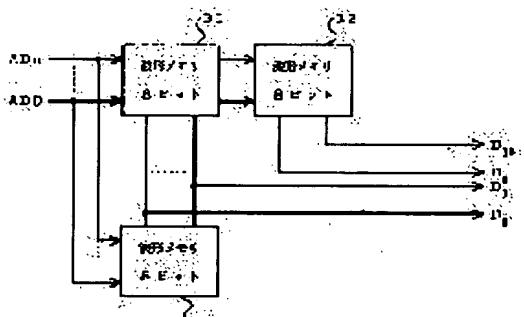
(72)Inventor : ANDO TOMOKO

(54) ELECTRONIC MUSICAL INSTRUMENT

(57)Abstract:

PURPOSE: To reduce the capacity of a waveform memory by providing at least ≥2 kinds of bit width for sample values of waveform information stored in the waveform memory.

CONSTITUTION: Memories (ROM) 31–33 of, for example, 8-bit width are used and waveform memory read addresses AD0–ADn generated by a waveform read circuit are connected to the address input terminals of the respective memories 31–33. Normal waveform data have 16-bit width, so the low-order 8 bits are stored in the memory 31 and the high-order 8 bits are stored in the memory 32 respectively. Waveform data which are expressed in 8-bit width are stored in the memory 33. Thus, waveform data of low level are expressed in less bit width and then the total number of bits of the waveform memories can be reduced without lowering the precision. Further, waveform data which becomes lower in level from in the middle of the waveform is expressed in less bit width and then the total number of bits of the waveform memories can be reduced as well.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(II) 特許出願公開番号

特開平8-123420

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl.⁶

G 10 H 7/02

識別記号

序内整理番号

F I

技術表示箇所

G 10 H 7/00

521 F

521 K

審査請求 未請求 請求項の数3 FD (全8頁)

(21) 出願番号

特願平6-278573

(22) 出願日

平成6年(1994)10月19日

(71) 出願人 000001410

株式会社河合楽器製作所

静岡県浜松市寺島町200番地

(72) 発明者 安藤 智子

静岡県浜松市寺島町200番地 株式会社河

合楽器製作所内

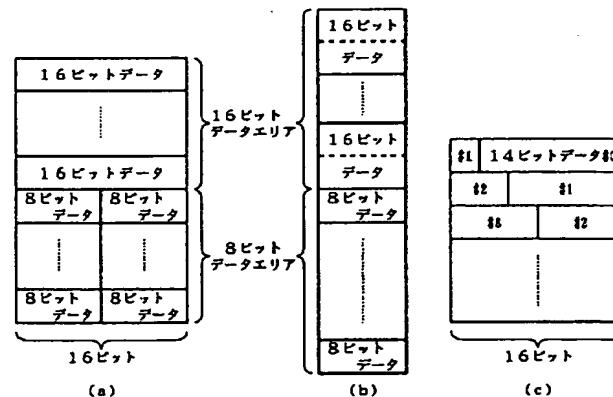
(74) 代理人 弁理士 平木 道人 (外2名)

(54) 【発明の名称】 電子楽器

(57) 【要約】

【目的】 波形メモリの容量の削減が可能な電子楽器を提供することにある。

【構成】 楽音波形情報を記憶している波形メモリを用いて楽音信号を発生させる電子楽器において、波形メモリに記憶されている波形情報のサンプル値のビット幅が少なくとも2種類以上ある。また、波形メモリに記憶されている波形情報のサンプル値のビット幅が途中で変化する。



【特許請求の範囲】

【請求項 1】 楽音波形情報を記憶している波形メモリを用いて楽音信号を発生させる電子楽器において、前記波形メモリに記憶されている波形情報のサンプル値のピット幅が少なくとも 2 種類以上あることを特徴とする電子楽器。

【請求項 2】 楽音波形情報を記憶している波形メモリを用いて楽音信号を発生させる電子楽器において、前記波形メモリに記憶されている波形情報のサンプル値のピット幅が途中で変化することを特徴とする電子楽器。

【請求項 3】 波形データピット幅情報に基づき、波形読み出しアドレスを変換し、かつデータ位置情報を出力する変換手段と、

波形データピット幅情報および変換手段から出力されるデータ位置情報の少なくとも一方に基づき、波形メモリから読み出された複数の波形データから所望の波形データを抽出する抽出手段とを有することを特徴とする請求項 1 あるいは 2 に記載の電子楽器。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】本発明は電子楽器に関し、特に電子楽器における、楽音波形データを記憶する波形メモリの構成に関するものである。

【0 0 0 2】

【従来の技術】従来、電子楽器における楽音発生方式として、波形読み出し方式が多く提案、実施されている。この波形読み出し方式とは、各種の楽器の音をデジタル録音し、適当に加工して波形メモリに記憶する。そしてこの波形データを、演奏された鍵の音高に比例するアドレス間隔で読み出し、D/A 変換して増幅し、スピーカ等から発音するものである。1つの波形データとしては、例えばピット幅が 16 ピットのリニアデータが 1 キロワード程度記憶されていた。

【0 0 0 3】また、電子楽器の中には、よりリアルにピアノ等の楽器の楽音を発生させるために、低音域、中音域など音域毎に異なる波形データを用い、また、広がり感を再現するためにステレオの左右のチャネル用に異なる波形データを用い、更に鍵盤タッチの強弱による音色の変化を再現するために、複数の波形データを用いて、タッチによりその混合比を変化させないようにしたものがある。

【0 0 0 4】

【発明が解決しようとする課題】前記したような従来の電子楽器においては、よりリアルな音色を得るために多数の波形データの中から必要なものを選択し、複数の波形データによる楽音信号を合成して 1 つの楽音信号を生成しているので、非常に多量の波形データが必要になるという問題点があった。本発明の目的は、前記のような従来技術の問題点を改良し、波形メモリの容量の削減が

可能な電子楽器を提供することにある。

【0 0 0 5】

【課題を解決するための手段】第 1 の発明は、楽音波形情報を記憶している波形メモリを用いて楽音信号を発生させる電子楽器において、波形メモリに記憶されている波形情報のサンプル値のピット幅が少なくとも 2 種類以上あることを特徴とする。また、第 2 の発明は、楽音波形情報を記憶している波形メモリを用いて楽音信号を発生させる電子楽器において、波形メモリに記憶されている波形情報のサンプル値のピット幅が途中で変化することを特徴とする。

【0 0 0 6】

【作用】本発明は上記したような手段により、レベルが小さい波形データをより少ないピット幅で表現することにより、精度を落とすことなく、波形メモリの総ピット数の削減が可能となる。また波形の途中からレベルが小さくなる波形データを途中からより少ないピット幅で表現することにより、やはり波形メモリの総ピット数の削減が可能となる。

【0 0 0 7】

【実施例】以下、本発明の一実施例を図面を参照して詳細に説明する。図 3 は、本発明が適用される電子楽器の構成を示すブロック図である。CPU 1 は、ROM 2 に格納されている制御プログラムに基づき、電子楽器全体の制御を行う中央処理装置である。RAM 3 はワークエリアおよび演奏情報の記憶用バッファとして使用される。パネル 4 は、音色や効果の選択スイッチなどの各種のスイッチおよび液晶、LED 等により文字や図形を表示する表示装置を有する。キーボード 5 は、例えばそれぞれ 2 つのスイッチを備えた複数の鍵からなるキーボードと、各スイッチの状態をスキャンする回路から成る。

【0 0 0 8】左右のチャネル用の楽音発生回路 6、7 は、左右のチャネル用の波形メモリ 8、9 から音高に比例したアドレス間隔で楽音波形を読み出すことによって楽音信号を発生させる複数の楽音発生チャネルを含み、実際には、1 つの回路を時分割多重動作させることにより実現している。D/A 変換器 10、11 はデジタル楽音信号をそれぞれ D/A 変換し、アンプ 12、13 はそれぞれ左右のスピーカ 14、15 を駆動するために楽音信号を増幅する。バス 16 は電子楽器内の各回路を接続している。なお、この他に必要に応じてメモリカードインターフェース回路、MIDI インターフェース回路、FDD (フロッピディスクドライブ) インターフェース回路等を設けてもよい。

【0 0 0 9】図 1 は、楽音発生回路の構成を示すブロック図である。図 3 においては、左右 2 つのチャネル用に 2 つの楽音発生回路があるが、ハードウェア構成は同一であるので、図 1 では左チャネル用回路を示す。図 1 においては、1 つの楽音信号を生成するために、3 つの楽音発生チャネルを同時に動作させる。波形読み出し回路

20、21、22、エンベロープ信号発生回路23、24、25、乗算器26、27、28がそれぞれ第1、第2、第3の楽音発生チャネルを構成しており、3つの乗算器の出力信号が加算器29により加算、合成されて楽音信号が出力される。波形読み出し回路20、21、22はそれぞれ、音色に基づきCPUが指定した波形データを、演奏された鍵の音高に比例するアドレス間隔で読み出すためのアドレス信号を発生し、波形メモリ8から順次波形データを読み出す。またエンベロープ信号発生回路23、24、25はそれぞれCPUからセットされたエンベロープパラメータに基づき、エンベロープ信号を発生する。波形読み出し回路およびエンベロープ信号発生回路については各種回路が提案、実施されており、任意の方式が利用可能である。

【0010】図2は、左チャネル用波形メモリ8の内容を示す説明図である。左チャネル用波形メモリ8内には、1つの音色当たり、音域およびタッチの強弱に従って例えば図に示すように9つの楽音波形が記憶されている。そして、例えば音域が中域の鍵を強打した場合には、中域強打成分波形、中域中打成分波形、中域弱打成分波形の3つの波形データが図1の回路により同時に読み出されて、それぞれ、タッチに応じたエンベロープ信号と乗算され、加算されて楽音信号が出力される。この場合、強打したときには、例えば強打成分波形のエンベロープのレベルが大きくなり、他の波形のレベルが小さくなつて、各波形の混合比が変化し、音色が変わる。

【0011】ピアノは一般に高域の鍵が右側に存在し、またピアノの弦も高域ほど右側に存在する。従って、図1に示すような左右のチャネル用に別の波形データを用いるような電子楽器においては、図2において点線で囲んだ、左チャネル用の高域の成分波形30のレベルは非常に小さくなる。例えば通常の波形データが16ビット幅により表現されているとすると、左チャネル用の高域の成分波形30のレベルは、その振幅の上位8ビットが全て0である程度のレベルしかない。そこで、左チャネル用の高域の成分波形30についてのみ、波形データを8ビット幅で表現することにより、楽音の精度を落とすことなく、波形メモリの総ビット数の削減が可能となる。

【0012】図4は波形メモリ8あるいは9の一構成例を示すブロック図である。この例では8ビット幅のメモリ(ROM)31、32、33を用い、波形読み出し回路から発生された波形メモリ読み出しアドレスAD0～ADnは各メモリ31、32、33のアドレス入力端子に接続されている。通常の波形データは16ビット幅であるので、メモリ31に下位8ビットが、メモリ32に上位8ビットがそれぞれ記憶される。また、8ビット幅で表現されている波形データについてはメモリ33に記憶されている。なおメモリ31と32は1つの16ビット幅のメモリであつてもよい。またメモリ33について

は、8ビット以外にも波形データが格納できるような任意のビット幅のメモリが使用可能である。

【0013】図5は波形メモリとして1つのメモリを用い、その中に異なるビット幅の波形データを格納する例である。図5(a)は16ビット幅のメモリを用い、その中に16ビット幅の波形データおよび8ビット幅の波形データを格納する例である。8ビットの波形データは1つの番地の下位8ビットに若い方のデータ、上位8ビットに次のデータが格納されている。図5(b)は8ビット幅のメモリを用い、その中に16ビット幅および8ビット幅の波形データが記憶されている。図5(c)は16ビット幅のメモリを用い、その中に例えば14ビット幅の波形データが詰めて記憶されている。

【0014】図6は、図5(a)に示すような波形メモリを用いた場合の波形読み出し回路の例を示すブロック図である。波形読み出し回路20は第1の実施例と同様に、波形が16ビットデータであるものと見なして、アドレス信号AD0～ADn(8ビット時にはADn+1まで)を発生する。セレクタ35は、CPU1から出力される8／16選択信号(波形データが8ビットの時1、16ビットの時0)により選択制御され、制御端子が0、即ち16ビットの時、入力端子Aの信号を出力し、1の時入力端子Bの信号を出力する。セレクタ35の出力C1～Cn+1はアドレス信号として波形メモリ8に供給され、C0は下位8ビットの波形データを出力するセレクタの選択制御信号となる。また上位8ビットを出力するセレクタ36は8／16選択信号により制御される。

【0015】動作を説明すると、波形データが16ビットの場合には、セレクタ35においてA端子が選択され、C0には0が出力されている。従って、読み出しアドレスはそのまま波形メモリ8に供給され、セレクタ36、37は共に入力端子Aの信号を出力しているので、読み出された16ビットの波形データはそのまま出力される。一方、波形データが8ビットであり、セレクタ35がB端子を選択している場合には、読み出しアドレスは1ビット下方にシフトされて波形メモリ8に供給され、最下位アドレス信号AD0はC0に出力される。波形メモリから読み出された2つの8ビットデータは、C0によって選択されて、下位8ビットに出力され、上位8ビットには0が出力される。このような構成にすれば、1つの波形メモリに8ビット幅および16ビット幅のデータを混在させることができる。

【0016】図7は、図5(b)に示すような波形メモリを用いた場合の波形読み出し回路の例を示すブロック図である。波形読み出し回路20は第1の実施例と同様に、波形が16ビットデータであるものと見なして、アドレス信号AD0～ADnを発生する。セレクタ40は、CPU1から出力される8／16選択信号により選択制御され、制御端子が0、即ち16ビットの時、入力

端子Aの信号を出力し、1の時入力端子Bの信号を出力する。セレクタ40の出力C0～Cn+1はアドレス信号として波形メモリ8に供給される。波形メモリの出力データは2つのラッチ41、42によって適当なタイミングでラッチされる。なお上位8ビットを出力するラッチ41は、8ビット時にはクリヤされる。タイミング信号発生回路43は、クロック信号および8/16選択信号に基づき、ラッチ回路41、42のラッチ用クロックパルスおよび16ビット読み出し時の最下位アドレスA0を発生する。

【0017】動作を説明すると、波形データが8ビットの場合には、セレクタ40においてB端子が選択され、読み出しあдресはそのまま波形メモリ8に供給される。読み出された8ビットの波形データはラッチ42によりラッチされ、下位8ビットに出力される。一方、波形データが16ビットである場合には、波形メモリ8から2回データを読み出す必要がある。この場合には、セレクタ40はA端子を選択しており、読み出しあdressの最下位ビットA0はタイミング信号発生回路43から供給されている。この信号は1回目の読み出しタイミングにおいては0であり、1回目の読み出しタイミングの最後に、タイミング信号発生回路43からラッチ42にラッチ用クロックパルスが出力された直後に1になる。その後、波形メモリ8から上位8ビットのデータが読み出されたタイミングで、タイミング信号発生回路43からラッチ41にラッチ用クロックパルスが出力される。このような構成にすれば、やはり、1つの波形メモリに8ビット幅および16ビット幅のデータを混在させることができる。

【0018】図8は、図5(c)に示すような波形メモリを用いた場合の、波形読み出し回路の更に他の実施例を示すブロック図である。この実施例は所定のビット幅の波形メモリに、波形メモリのビット幅以下の任意のビット幅の波形データを詰めて記憶し、この波形データを波形読み出し回路20からの読み出しあdressに基づいて読み出すものである。例えば、波形メモリ8のビット幅が16ビットであり、波形データのビット幅が14ビットであれば、図5(c)に示すように、波形メモリ8には、最初の波形データが0番地の下位14ビットに記憶され、2番目のデータの下位2ビットが0番地の上位2ビットに記憶される。そして2番目のデータの上位12ビットが1番地の下位12ビットに記憶され、以下同様に詰めて記憶する。波形読み出し回路20は波形データが16ビットであるものと見なしてアドレス信号を発生する。乗算器50はアドレス信号と、波形データビット数(例えば14)とを乗算する。除算器51は、乗算器50の出力を波形メモリのビット幅で除算し、整数の商ADと余りを出力する。

【0019】+1加算器52はADに1を加算し、波形メモリ8から、ADおよび(AD+1)をアドレスとし

て、隣接する2つの波形データを読み出し、所望のデータを抽出するためのシフトレジスタ53、54にそれぞれ格納する。加算器55は、波形データビット数から余りを減算し、シフトレジスタ53、54は、データの位置情報である加算器55の出力値だけデータを上位にシフトする。そして、シフトレジスタ54の下位から波形データビット幅だけを抽出して出力する。なお図示していないが、シフトレジスタ54の出力に、波形データのビット幅より上位のビットの出力を0にする回路が付加されている。このような構成により、任意のビット幅の波形データを記憶し、読み出すことができる。

【0020】図8の実施例においては波形データのビット幅がメモリのビット幅より小さいものとして説明したが、波形データのビット幅がメモリのビット幅より大きな場合も、波形メモリの読み出し回数が3回以上になるが、ほぼ同様の回路構成で実現可能である。また、図8の実施例において、波形データのビット幅、およびメモリのビット幅をそれぞれ2のn乗(nは整数)の値に選定すれば、乗算および除算は単なる桁のシフトにより演算可能となるので、乗算器50および除算器51は不要となり、回路構成が簡単になる。

【0021】以上、実施例を説明したが、次のような変形例も考えられる。実施例としては1つの音色に対応する波形データのビット幅は一定であるものとして説明したが、波形の途中でビット幅が変化してもよい。この場合には、波形データ中に特殊なパターン等を挿入することによりビット幅の変化点を検出するか、あるいは予め波形毎に記憶されている変化点のアドレス情報を読み出して、アドレスと比較するなどの手段が必要となる。また、変化点を波形内の特定のアドレスに限定してもよい。

【0022】

【発明の効果】以上述べたように、本発明は、レベルが小さい波形データをより少ないビット幅で表現することにより、精度を維持したままで、メモリの総ビット数が削減できるという効果がある。また波形の途中からレベルが小さくなる波形データを途中からより少ないビット幅で表現することにより、やはりメモリの総ビット数が削減できるという効果がある。

【図面の簡単な説明】

【図1】 楽音発生回路の構成を示すブロック図である。

【図2】 本発明が適用される左チャネル用波形メモリ8の内容を示す説明図である。

【図3】 本発明が適用される電子楽器の構成を示すブロック図である。

【図4】 波形メモリの一構成例を示すブロック図である。

【図5】 波形メモリの他の構成例を示すブロック図である。

【図6】 図5(a)に示す波形メモリを用いた場合の波

形読み出し回路の例を示すブロック図である。

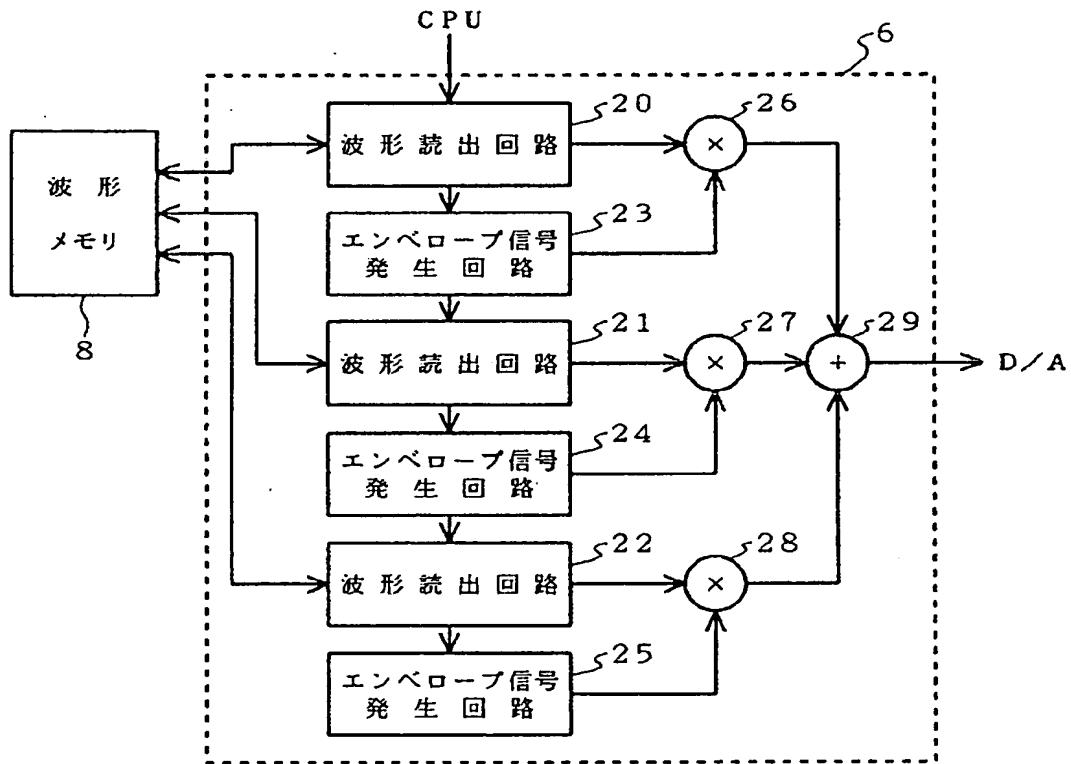
【図7】図5 (b)に示す波形メモリを用いた場合の波形読み出し回路の例を示すブロック図である。

【図8】波形読み出し回路の更に他の実施例を示すブロック図である。

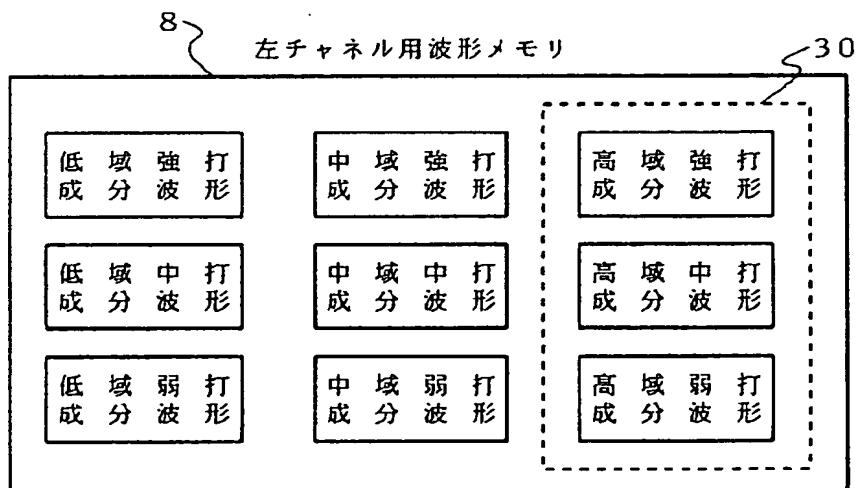
【符号の説明】

1…CPU、2…ROM、3…RAM、4…パネル、5…キーボード、6、7…楽音発生回路、8、9…波形メモリ、10、11…D/A変換器、12、13…アンプ、14、15…スピーカ、16…バス

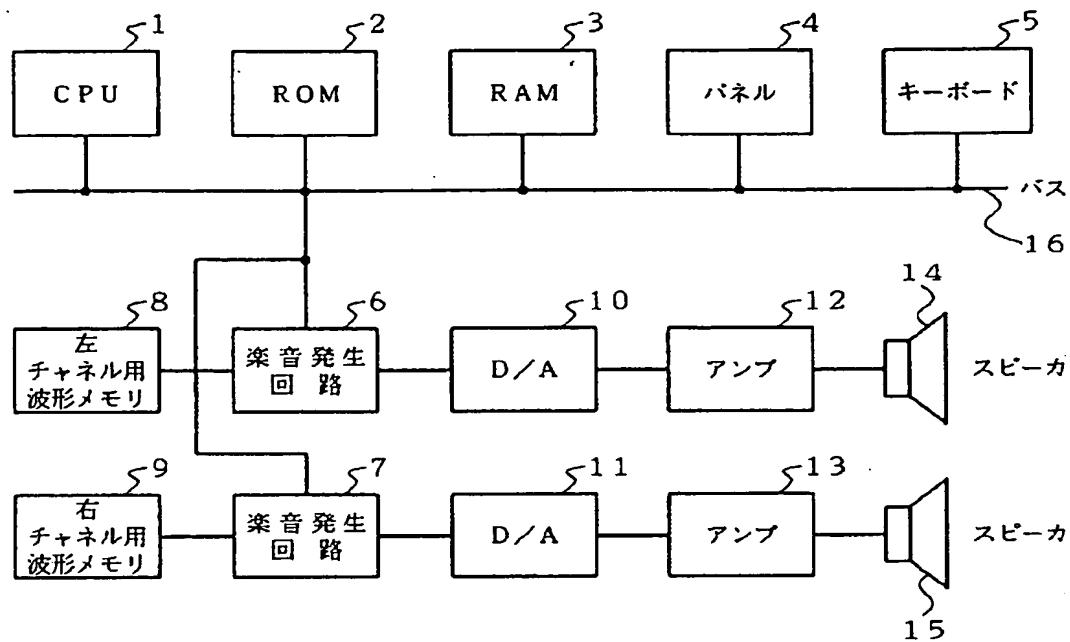
【図1】



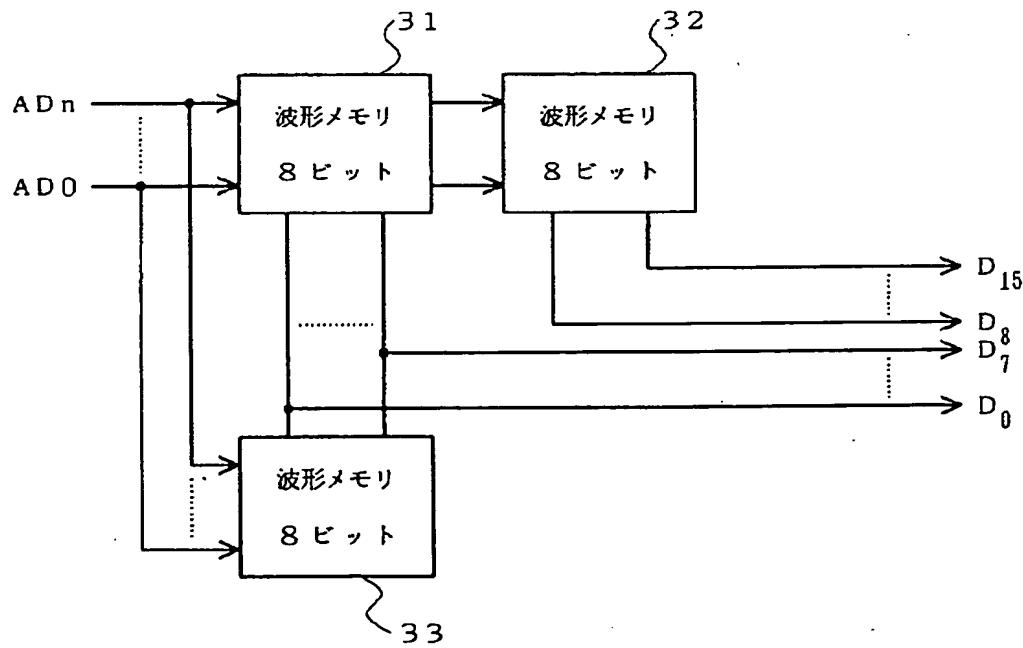
【図2】



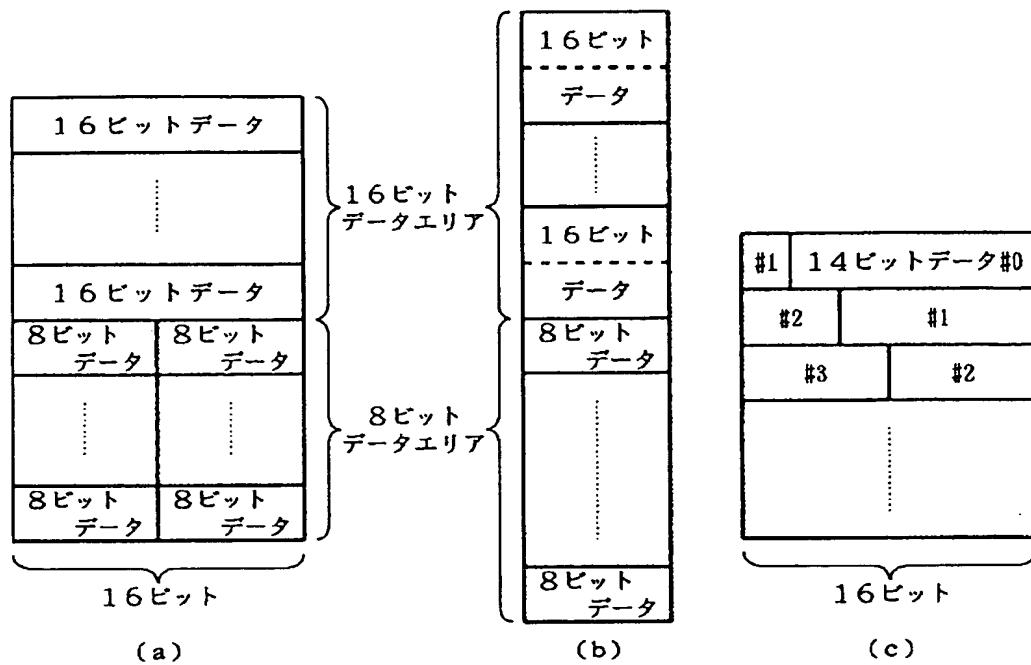
【図3】



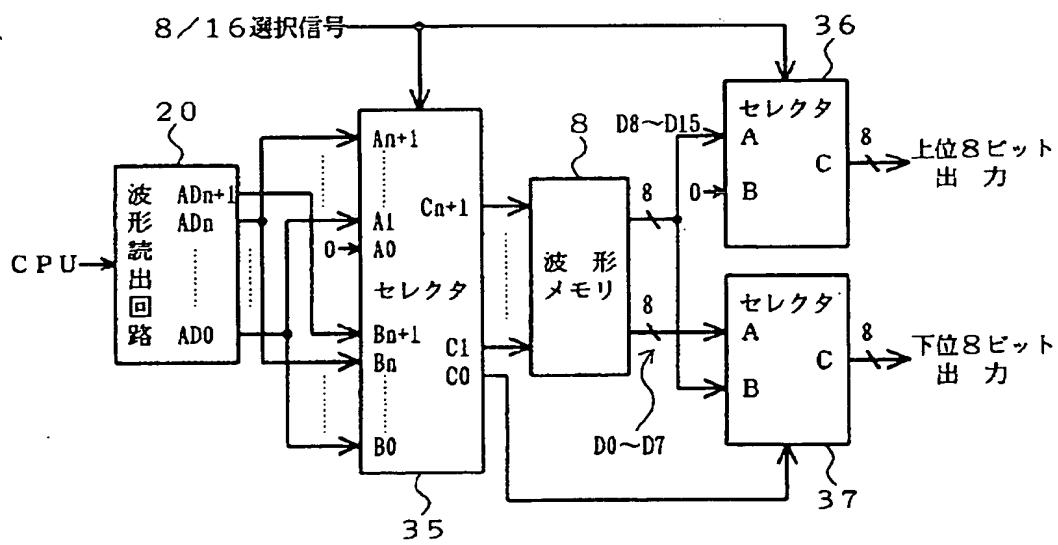
【図4】



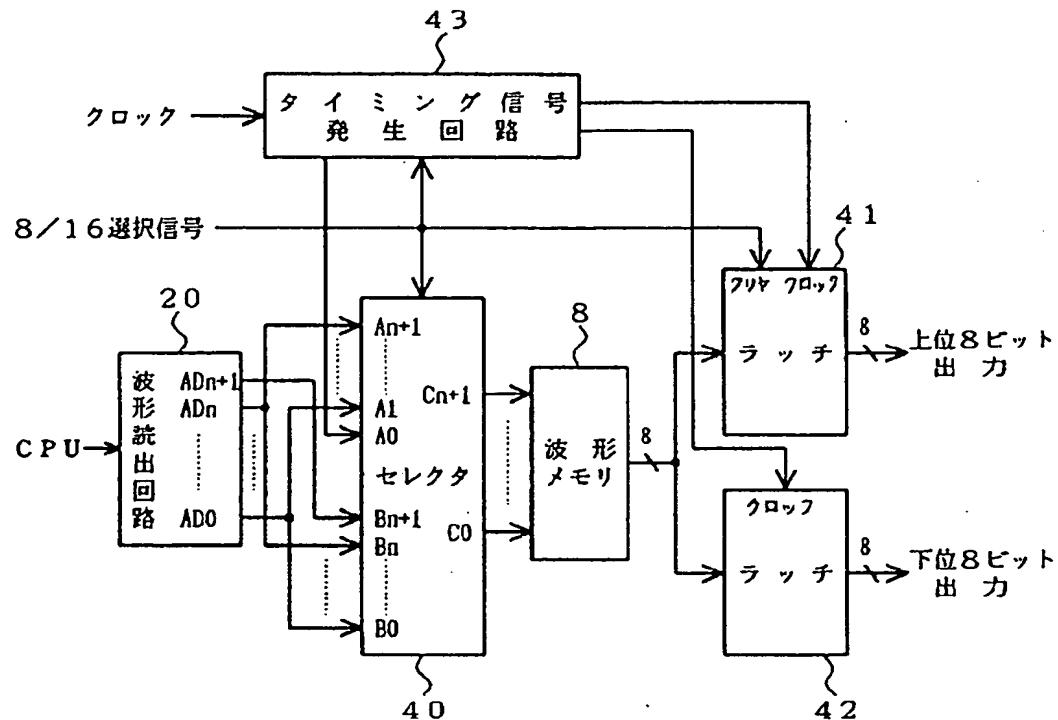
【図5】



【図6】



【図 7】



【図 8】

